

PAT-NO: JP403070146A  
DOCUMENT-IDENTIFIER: JP 03070146 A  
TITLE: MANUFACTURE OF CIRCUIT  
SUBSTRATE  
PUBN-DATE: March 26, 1991

INVENTOR-INFORMATION:

NAME  
ITOU, MUTSUSADA  
KOSUGE, KATSUYA

ASSIGNEE-INFORMATION:

NAME  
COUNTRY  
SONY CORP

N/A

APPL-NO: JP01206480  
APPL-DATE: August 9, 1989

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 228/205

ABSTRACT:

PURPOSE: To ensure cleanness at the wire bonding pad part by removing the

BEST AVAILABLE COPY

deposited solder together by forming a second solder resist layer which covers the wire bonding pad part and has a different etching property from that of a first solder resist.

CONSTITUTION: For example on a substrate 10 made of an aluminum plate coated with an insulating resin, a conductive paste of copper group is printed so as to form predetermined wirings 11, wire bonding pad parts 12, and part land parts 13. Next, a first solder resist layer 14 as a first solder resist is formed in the region among these wirings 11, wire bonding pad parts 12, and part land parts 13. Next, the surface of the wire bonding pad part 12 is coated with a second solder resist layer 15 as a second solder resist. This second solder resist layer 15 comprises a selection ratio comparable with the first solder resist layer 14. Subsequently, solder printing is applied to predetermined positions and a circuit part 16 is put on the part land 13 followed by soldering. Next, the second solder resist layer 15 is cleaned with a fluorine- or chlorine-group solvent and is removed.

COPYRIGHT: (C)1991,JPO&Japio

## ⑫ 公開特許公報(A)

平3-70146

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月26日

H 01 L 21/60

3 0 1 A

6918-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 回路基板の製造方法

⑯ 特 願 平1-206480

⑰ 出 願 平1(1989)8月9日

⑱ 発 明 者 伊 藤 睦 禎 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑱ 発 明 者 小 菅 克 也 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
 ⑲ 代 理 人 弁理士 志賀 富士弥 外1名

## 明 細 書

## 1. 発明の名称

回路基板の製造方法

## 2. 特許請求の範囲

(1) 第1の半田レジスト層が形成された回路基板上の、ワイヤボンディングパッド部を覆って第1の半田レジストとはエッチング特性の異なる第2の半田レジスト層を形成する工程と、

前記回路基板に回路部品を半田リフローにより半田付けする工程と、

前記第2の半田レジスト層を除去する工程と、

ワイヤボンディング工程とを具備することを特徴とする回路基板の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、回路基板の製造方法に関し、更に詳しくは、回路部品を良好に実装できるチップオンボードタイプの回路基板の製造方法に係わる。

〔発明の概要〕

本発明は、第1の半田レジスト層が形成された回路基板上の、ワイヤボンディングパッド部を覆って第1の半田レジストとはエッチング特性の異なる第2の半田レジスト層を形成する工程と、

前記回路基板に回路部品を半田リフローにより半田付けする工程と、

前記第2の半田レジスト層を除去する工程と、ワイヤボンディング工程とを具備することにより、

ワイヤボンディングパッド部に半田が付着することがなく、ボンディング面の清浄を保ち、しかも、ワイヤボンディングパッド部と部品ランドの間隔を小さくすることが可能な回路基板の製造方法を得んとするものである。

〔従来の技術〕

従来、この種の回路基板としては、第2図に示すようなものが知られている。このような回路基板の製造方法としては、先ず、表面に絶縁樹脂が被覆された基板1上に銅系の導電ペーストを印刷

してワイヤボンディングパッド部2、配線パターン3、部品ランド部4等を形成する。次に、回路部品5を部品ランド部4上に載置した後、リフローを行い半田付け6を施し、その後回路部品5とワイヤボンディングパッド2の間にワイヤボンディングを行い、ボンディングワイヤ7を配線する。

#### [発明が解決しようとする課題]

しかしながら、このような従来の回路基板の製造方法にあっては、半田付けを行う際に、ワイヤボンディングパッド部2上に半田6aが飛び散り、ともするとワイヤボンディング不良の原因となっていた。

また、このような半田の飛び散りが起こるため、ワイヤボンディングパッド部2と部品ランド部4との間隔を大きくとらなければならない問題点があった。

本発明は、このような従来の問題点に着目して創案されたものであって不良率が低く、しかもモジュールの小型化を可能にする回路基板の製造方

法とした半田も一緒に除去されるためワイヤボンディングパッド部の清浄が確保される。また、半田以外の汚染に対しても同様の作用を有する。

#### [実施例]

以下、本発明に係る回路基板の製造方法の詳細を図面に示す実施例に基づいて説明する。

第1図A～第1図Dは、本発明の実施例を示す断面図である。

まず、本実施例は、第1図Aに示すように、例えば、アルミ板上に絶縁樹脂をコーティングしてなる基板10に、銅系の導電ペーストを印刷して所定の配線11、ワイヤボンディングパッド部12、部品ランド部13等を形成し、次に、これら配線11、ワイヤボンディングパッド部12、部品ランド部13等の間の領域に第1の半田レジストとしての第1ソルダレジスト層14を形成する。

次に、第1図Bに示すように、ワイヤボンディングパッド部12表面に、第2の半田レジストとしての第2ソルダレジスト層15を被覆する。こ

法を得んとするものである。

#### [課題を解決するための手段]

そこで、本発明は、第1の半田レジスト層が形成された回路基板上の、ワイヤボンディングパッド部を覆って第1の半田レジストとはエッチング特性の異なる第2の半田レジスト層を形成する工程と、

前記回路基板に回路部品を半田リフローにより半田付けする工程と、

前記第2の半田レジスト層を除去する工程と、ワイヤボンディング工程とを具備することを、その解決手段としている。

#### [作用]

ワイヤボンディングパッド部を、第1の半田レジストとはエッチング特性の異なる第2の半田レジスト層で覆ったことにより、半田付け工程により半田が第2の半田レジスト層上に付着しても、後の第2の半田レジスト層の除去工程により、付

の第2ソルダレジスト層15は、第1ソルダレジスト層14に比べて選択比を有するようになっている。

次いで、第1図Cに示すように、所定箇所半田印刷を施し、部品ランド13上に回路部品16を載置し、リフロー法により半田付けを行う。同図C中17は、半田付けされた半田であり、17aは第2ソルダレジスト層14上に飛び散った半田を示している。

次に、第2ソルダレジスト層15をフッ素又は塩素系溶剤で洗浄して除去する。

その後、通常のワイヤボンディングを行い、第1図Dに示すように、回路部品16とワイヤボンディングパッド部12とをボンディングワイヤ7で接続すればよい。

以上、実施例について説明したが、本発明はこの他に各種の設計変更が可能であり、例えば上記実施例においては半田付けをリフロー法によって行ったが、浸漬半田付け法等を用いても勿論よい。

また、上記実施例においては回路部品16を載

設する部品ランド部13を形成したが、他のマウント方式を選択した場合にも、本発明を適用出来ることは言うまでもない。

〔発明の効果〕

以上の説明から明らかなように、本発明に係る回路基板の製造方法によれば、ワイヤボンディングパッド部に半田が付着することがなく、回路不良を減少させる効果がある。

また、ワイヤボンディングパッド部への半田付着が防止出来るため、回路部品とワイヤボンディングパッド部の間隔を小さく出来、モジュールの小型化を達成出来る効果がある。

さらに、半田以外の汚染に対しても、ワイヤボンディング面を清浄に保護する効果がある。

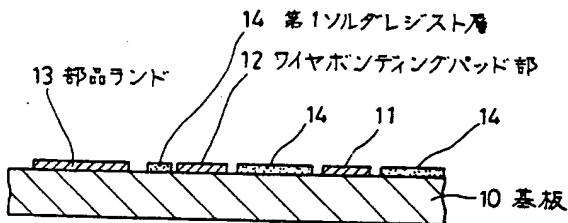
4. 図面の簡単な説明

第1図A～第1図Dは本発明に係る回路基板の製造方法の実施例の各工程を示す断面図、第2図は従来例の断面図である。

10…基板、12…ワイヤボンディングパッド

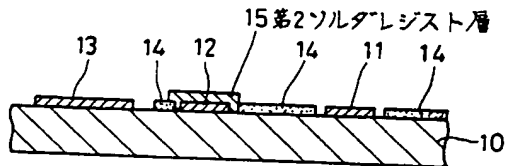
部、13…部品ランド、14…第1ソルダレジスト層、15…第2ソルダレジスト層、16…回路部品、17、17a…半田。

代理人 志賀富士弥  
外1名



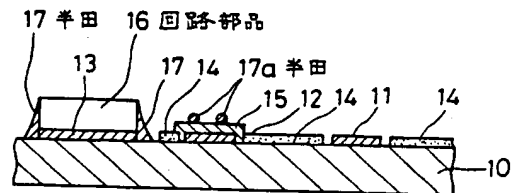
実施例の工程を示す断面図

第1図A



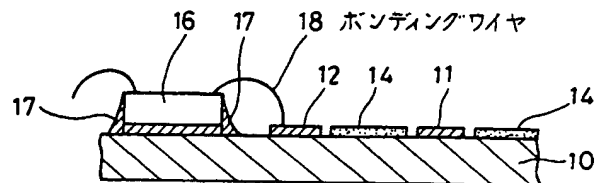
(実施例)

第1図B



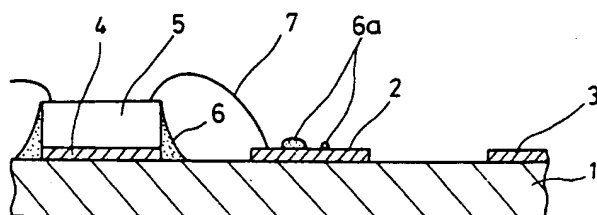
(実施例)

第1図C



(実施例)

第1図D



従来例の断面図  
第2図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**